

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-063315

(43)Date of publication of application : 12.03.1993

(51)Int.Cl.

H05K 1/02

(21)Application number : 03-224483

(71)Applicant : FUJITSU LTD

(22)Date of filing : 05.09.1991

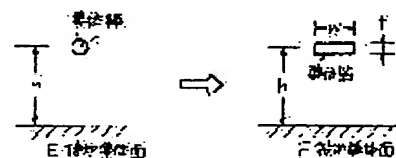
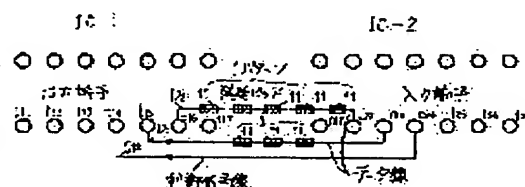
(72)Inventor : MATSUNAGA HIROSHI  
YAMAGUCHI TAKAO  
NAKAJIMA HIDENAO

## (54) PRINTED WIRING BOARD

## (57)Abstract:

PURPOSE: To improve the packaging efficiency of a substrate while facilitating the fine adjustment by a method wherein specific number of delay pads corresponding to the fluctuation in the delay time required for equalizing the control signal phase with the data signal phase are provided halfway in the signal lines.

CONSTITUTION: Three each of delay pads 11 are provided as the pattern 1 on the data line D1 from the output terminal T15 of IC-1 to the input terminal of T23 of IC-2 while five each of delay pads 11 are provided as the pattern 1 on the data line D2 from the output terminal T16 of IC-1 to the input terminal T22 of IC-2. On the other hand, no delay pads are provided on the control signal line C12 from the output terminal T14 of IC-1 to the input terminal T24 C12 leaving it intact while those three each of signal lines D1, D2, C12 are electrically in the same length having the same respective delay time. At this time, within respective delay pads 11, the delay time will be increased by widening the width W of the conductor foil (a) of the delay pads 11 while decreased by narrowing said width W. In such a constitution, said three signal lines D1, D2, C12 are to be electrically in the same length and same phase even if the control signal lines and the data signal lines are not mechanically provided with the same length.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-63315

(43)公開日 平成5年(1993)3月12日

(51)Int.Cl.<sup>5</sup>

H 0 5 K 1/02

識別記号

J 8727-4E

N 8727-4E

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 2 (全 6 頁)

(21)出願番号

特願平3-224483

(22)出願日

平成3年(1991)9月5日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 松永 博

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 山口 高男

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 中嶋 秀直

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

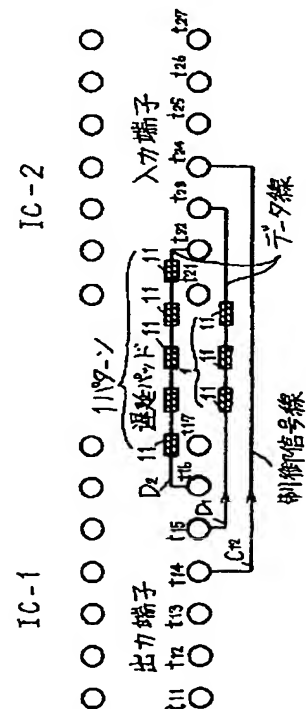
(54)【発明の名称】 印刷プリント配線板

(57)【要約】

【目的】 プリント基板に実装した複数のIC間で高速信号を伝送する配線を印刷配線で行う印刷プリント配線板に関し、IC間の信号の制御信号とデータ信号の位相を同相にするための回路で、基板上に大きなスペースを必要とせず、基板の実装効率が良く、かつ微調整することが容易な遅延回路をもつ印刷プリント配線板の実現を目的とする。

【構成】 接地導体面E から一定の高さh の位置に設けた一定の厚さt で幅W の導体箔の一定長で入力信号に対し一定の遅延時間τを与える遅延パッド11の複数個から成るパターン1を具え、該パターン1が前記制御信号とデータ信号の位相が互に同相となるために必要とする遅延時間の変化量に応じて一定個数の遅延パッド11を前記信号線に設けるように構成する。

本発明の請求項1に対応する印刷プリント配線板の  
信号線の基本構成を示す原理図



## 【特許請求の範囲】

【請求項1】 プリント基板上のIC間の制御信号とデータ信号とを伝送する印刷配線をもつ印刷プリント配線板において、接地導体面(E)から一定の高さ(h)の位置に設けた一定の厚さ(t)で幅(W)の導体箔の一定長で、入力信号に対し一定の遅延時間( $\tau$ )を与える遅延パッド(11)の複数個から成るパターン(1)を具え、該パターン(1)が前記制御信号とデータ信号の位相が互に同相となるために必要とする遅延時間の変化量に応じた一定個数の遅延パッド(11)を前記信号の線路の途中に設けるようにしたことを特徴とする印刷プリント配線板。

【請求項2】 前記印刷プリント配線板における制御信号とデータ信号の位相を同相にするための微調整の方法であって、該遅延パッド(11)を設けたプリント基板の層とは別の層にアース層(12)を設け、該アース層に前記パターン(1)の各遅延パッド(11)を適直接続してその遅延時間( $\tau$ )を変化させることによってパターン(1)の遅延時間の微調整を行うことを特徴とした微調整の方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、プリント基板に実装した複数のIC間で高速信号を伝送する配線を、基板に印刷した配線で行う印刷プリント配線板に関する。印刷プリント配線板では、配線を伝送した高速信号の制御信号とデータ信号の位相が同相であることが必要である。

## 【0002】

【従来の技術】 印刷プリント配線板で、IC間の配線を伝送した後の制御信号とデータ信号の位相を同相にするためには、一般には該IC間の両信号の各配線の長さを等しくしている。しかし、IC間を接続する信号線の数が多くなると、その制御信号とデータ信号の配線の直線の長さが相違するものが出てくるため、従来は、両信号の配線の長さを等しくするため短い方の信号線に、図4に示す如く、トグロを巻いたようなジグザグ配線を設けて両配線の機械的な長さを等しくし、電気信号に対する遅延時間を等しくしていた。図4では、IC-1の出力端 $t_{15}$ からIC-2の入力端 $t_{23}$ へのデータ線 $D_1$ と、IC-1の出力端 $t_{16}$ からIC-2の入力端 $t_{22}$ へのデータ線 $D_2$ と、IC-1の出力端 $t_{14}$ からIC-2の入力端 $t_{24}$ への制御信号線 $C_{12}$ の3本の信号線の機械的な長さが等しくなっている。

## 【0003】

【発明が解決しようとする課題】 上記の基板上的各信号線にトグロを巻いたようなジグザグ配線を設ける従来の方法は、基板上に大きなスペースを必要とするので基板の実装効率が悪く、また同相にするための微調整が困難であった。本発明の目的は、基板上的IC間の制御信号とデータ信号の位相を同相にするための回路で、基板上に大きなスペースを必要とせず基板の実装効率が良く、かつ微調整することが容易な遅延回路をもつ印刷プリント配線板を実現することにある。

## 【0004】

【課題を解決するための手段】 この本発明の目的は、図2の説明図を参照して、基板の接地導体面Eから一定の高さhの位置に設けた半径rの導体棒の単位長のインダクタンスLと静電容量Cから求められる伝搬遅延時間 $= (LC)^{1/2}$ は、その導体棒の半径rの値が、接地導体面Eから一定の高さhの位置に設けた導体箔の厚さtと幅Wの値との間で次の計算式の関係  $r=1/2(0.567W + 0.67t)$ にある時は、その厚さtと幅Wの導体箔の単位長の伝搬遅延時間 $\tau$ に等しいことに着目して、図1の原理図に示す如く、接地導体面Eから一定の高さhの位置に設けた厚さtで幅Wの導体箔の一定長で入力信号に一定の遅延時間 $\tau$ を与える遅延パッド11の複数個から成るパターン1を具え、制御信号とデータ信号が互の位相を同相にするために必要とする遅延時間の変化量に応じて該遅延パッド11の個数を決め、各信号線の途中に設けるようにした本発明の基本構成によって達成される。また、印刷プリント配線板のIC間の制御信号とデータ信号の位相を同相にするための微調整は、該遅延パッド11を設けた基板の層とは別の層にアース層12を設け、該アース層12に前記パターン1の各遅延パッド11を適宜に接続し、その遅延時間 $\tau$ を一部変化させることによってパターン1の遅延時間の微調整を行うようにする。

## 【0005】

【作用】 本発明では、基板上的各IC間のデータ線と制御信号線の各信号線の途中に設けられて所要の遅延時間を入力信号に対して与える回路のパターン1は、各々が基板の接地導体面Eから一定の高さhの位置に設けられた厚さtで幅Wの導体箔の一定長で、入力信号に対し一定の遅延時間 $\tau$ を与える単位要素の遅延パッド11の複数個から成り、その個数は、IC間の制御信号とデータ信号の位相を同相にするのに必要な遅延時間の変化量に応じて決められる。又、制御信号とデータ信号の位相を同相にするための微調整は、各遅延パッド11を設けた基板の層とは別の層のアース層12に前記パターン1の遅延パッド11を適直接続し、その遅延時間 $\tau$ を一部変化させることによってパターン1全部の遅延時間の微調整が行われる。

## 【0006】

【実施例】 図1の原理図は、同時に本発明の請求項1に対応する印刷プリント配線板の実施例のIC間の信号線の接続図であって、IC-1の出力端 $t_{15}$ からIC-2の入力端 $t_{23}$ へのデータ線 $D_1$ にはパターン1として3個の遅延パッド11を設け、IC-1の出力端 $t_{16}$ からIC-2の入力端 $t_{22}$ へのデータ線 $D_2$ にはパターン1として5個の遅延パッド11を設ける。そしてIC-1の出力端 $t_{14}$ からIC-2の入力端 $t_{24}$ への制御信号線 $C_{12}$ は何も設けずそのままであり、それら3本の信号線 $D_1, D_2, C_{12}$ は電氣的に等長であり、各遅延時間は等しい。各遅延パッド11は、その導体箔の幅Wを広くすると遅延時間 $\tau$ は大きくなり、導体箔の幅

W を狭くすると遅延時間  $\tau$  は小さくなる。これは、図 2 の  $r$  の計算式で W を変化させていることに相当する。

【0007】図 3 は、本発明の請求項 2 に対応する実施例の信号線に対して設けた複数の遅延パッドの各遅延時間の微調整のための構造図であり、(a) は全体図、(b) は(a)の A-A' 断面図であり、信号線に対しアース層 12 と別層で個別に対する 4 個の遅延パッド 11 の各々が該アース層 12 と接続されたスルーホールで個別にアース層 12 に接続され、その時間遅延  $\tau$  が個別に変化されるので、信号線の 4 個の遅延パッド 11 から成るパターン 1 全体の時間遅延  $4\tau$  が 1 個  $\tau$  ずつ微調整されることになる。これは、図 2 の伝搬遅延時間  $\tau$  の計算式の  $h$  を変化させていることに相当する。

【0008】

【発明の効果】以上説明した如く、本発明によれば、基板上の IC 間の制御信号線とデータ信号線とを機械的に等長にしなくても、電氣的に等長で同相とすることが出来る。小形の遅延パッドの幾つかで電氣的に等長とするため、基板上で大きなスペースを要するトグロ巻の線路バ

ターンを無くして実装効率を上げることが出来る。製造後に各遅延パッドを個別にアースに接続し電氣的に一部切断することによって、制御信号とデータ信号の同相化のための微調整を容易化することが出来る効果が得られる。

【図面の簡単な説明】

【図 1】 本発明の請求項 1 に対応する印刷プリント配線板の信号線の基本構成を示す原理図

【図 2】 本発明の印刷プリント配線板の信号線の伝搬遅延時間を与える計算式の説明図

【図 3】 本発明の請求項 2 に対応する実施例の信号線に対して設けた複数の遅延パッドの各遅延時間の微調整のための構造図

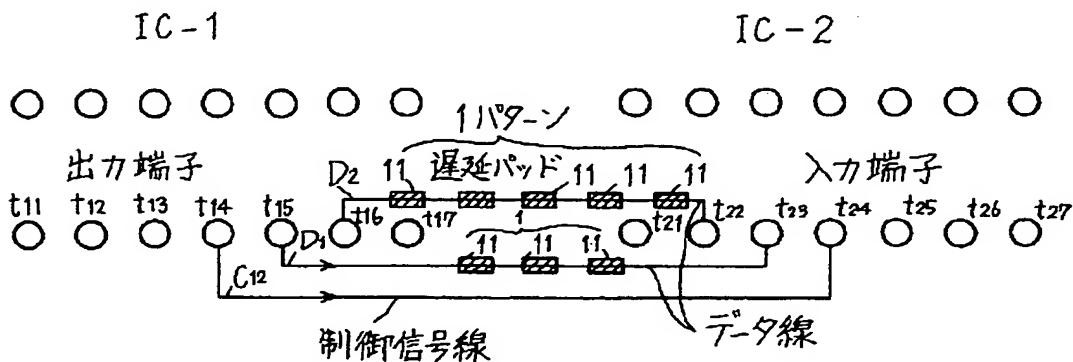
【図 4】 従来の印刷プリント配線板の IC 間の信号の同相化のための構成図

【符号の説明】

1 はパターン、11 は遅延パッド P、12 はアース層である。

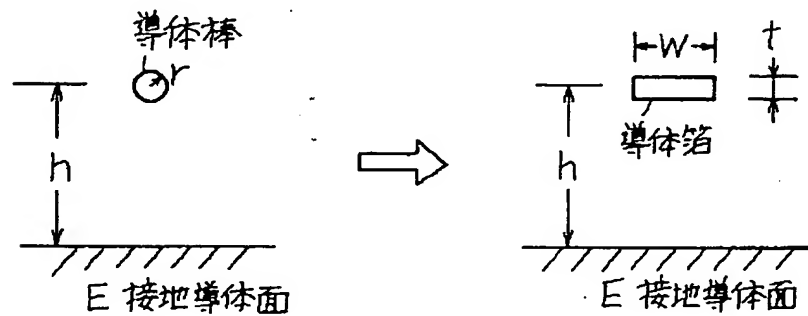
【図 1】

# 本発明の請求項 1 に対応する印刷プリント配線板の 信号線の基本構成を示す原理図



【図 2】

本発明の印刷プリント配線板の信号線の伝搬遅延時間  
を与える計算式の説明図



$$L = \frac{\mu_0 \mu_s}{2\pi} \left( \ln \frac{2h}{r} + \frac{1}{4} \right)$$

$$C = \frac{2\pi \epsilon_0 \epsilon_s}{\ln \frac{2h}{r}}$$

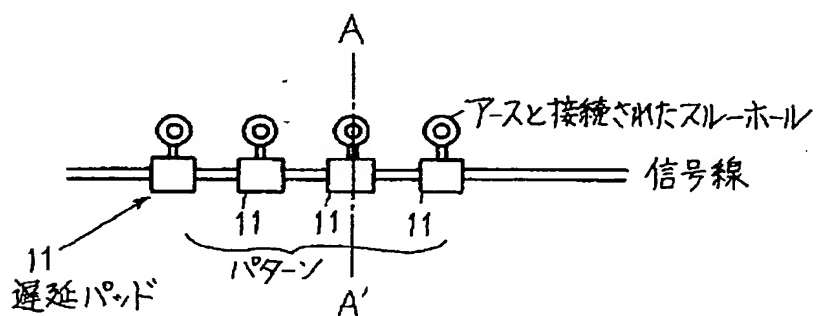
$$\begin{aligned} \text{伝搬遅延時間} &= \sqrt{LC} \\ &= \sqrt{\mu_0 \epsilon_0 \cdot \mu_s \epsilon_s \left( 1 + \frac{1}{4 \ln \frac{2h}{r}} \right)} \end{aligned}$$

$$r = \frac{1}{2} (0.567W + 0.67t)$$

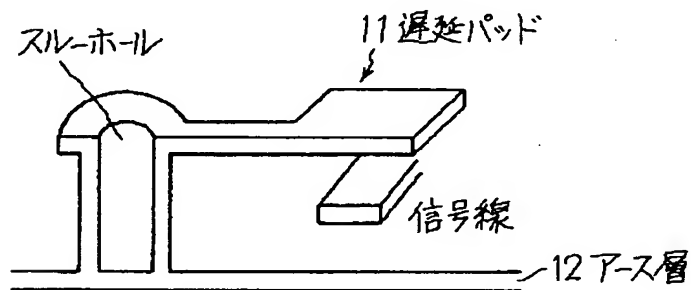
【図3】

本発明の請求項2に対応する実施例の信号線に対して設けた  
複数の遅延パッドの各遅延時間の微調整のための構造図

(a) 全体図



(b) A-A'の断面図



【図 4】

従来の印刷プリント配線板のIC間の信号の同相化のための構成図

